

LOGICKÉ OBVODY X36LOB

Doc. Ing. Hana Kubátová, CSc.

Katedra počítačů

FEL ČVUT v Praze

Obsah a cíle předmětu

- Číslicový návrh (*digital design*)
- Číslicové obvody – logické obvody
- Realizace základních bloků číslicového počítače – obecněji číslicového systému - a jejich komunikace
- Kombinační obvody x sekvenční obvody
- Práce s moderními návrhovými systémy a programovatelnými obvody

Informace, podmínky

Předměty katedry počítačů:

<http://service.felk.cvut.cz/>

odkaz ... [X36LOB](#)

Server HardWeb – přístup pro „přihlášené na předmět“

Katedra počítačů – <http://cs.felk.cvut.cz/>

Mail: kubatova@fel.cvut.cz

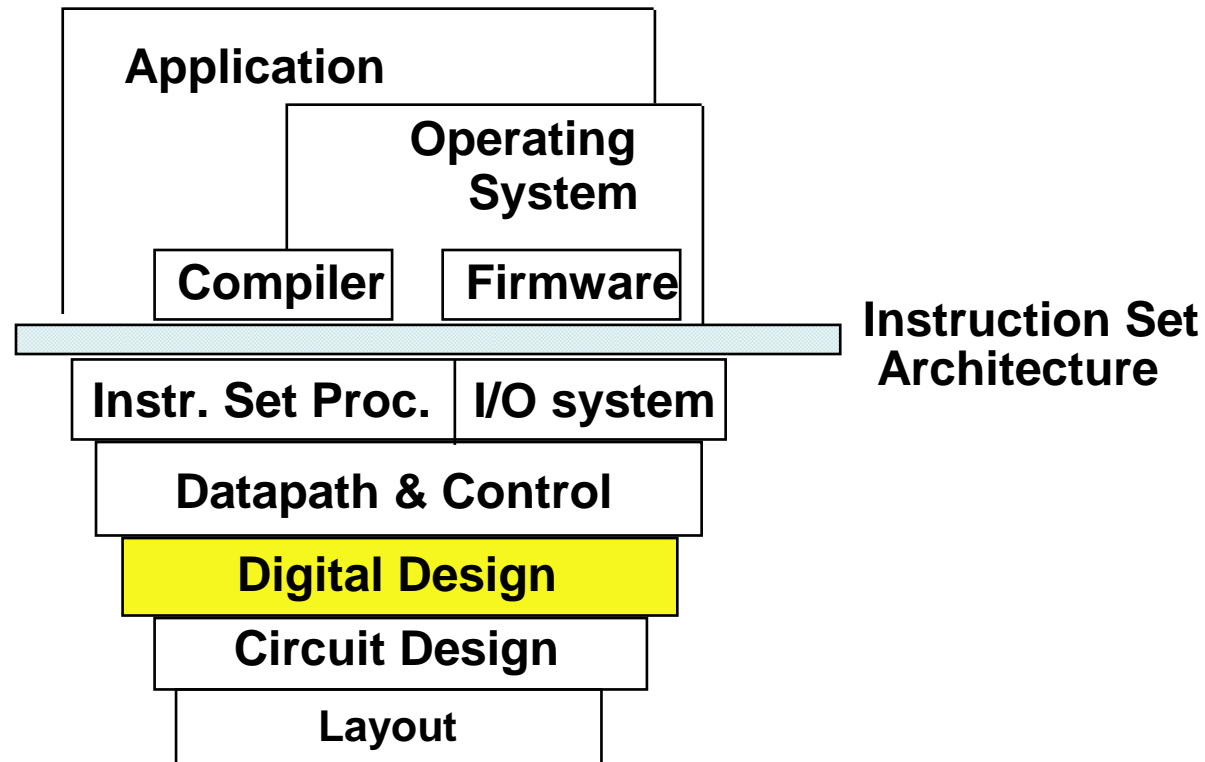
Zápočet, zkouška

1. Ke zkoušce po složení zápočtu
2. Až 50 bodů ze cvičení
 - 2x15 za testy (30 minut, KLO, SLO)
 - 10 domácí práce
 - 10 úspěšná realizace laboratorních úloh
3. Za 45 bodů známka **A (výborně)** bez zkoušky, 25 bodů nutné pro zápočet, 1 test lze opravit – organizováno centrálně - KOS
4. Až 50 bodů zkouškový test
5. Zkouškové termíny – max. 1 týdně a jen ve zkouškovém období, v létě max. 1 termín

Outline – 1. přednášky

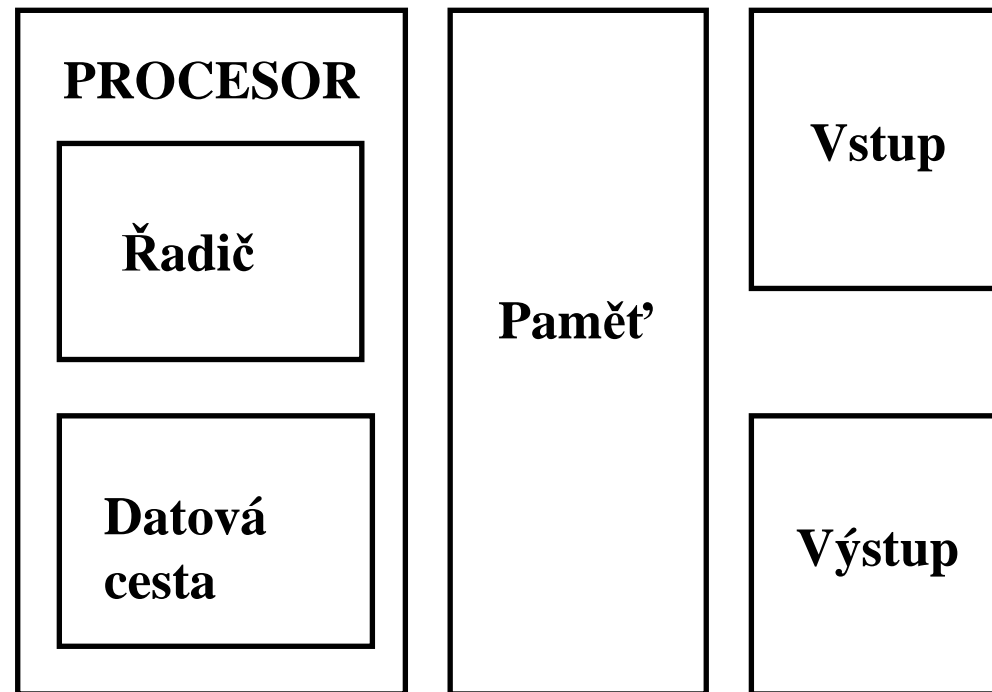
- Architektura číslicového počítače a vliv technologie na její změny, Mooreův zákon
- Návrhový proces
- Příklad (Sčítačka)
- Specifikace až realizace pomocí hradel
- Rozdíl mezi kombinačními a sekvenčními obvody

Architektura počítače - hierarchie

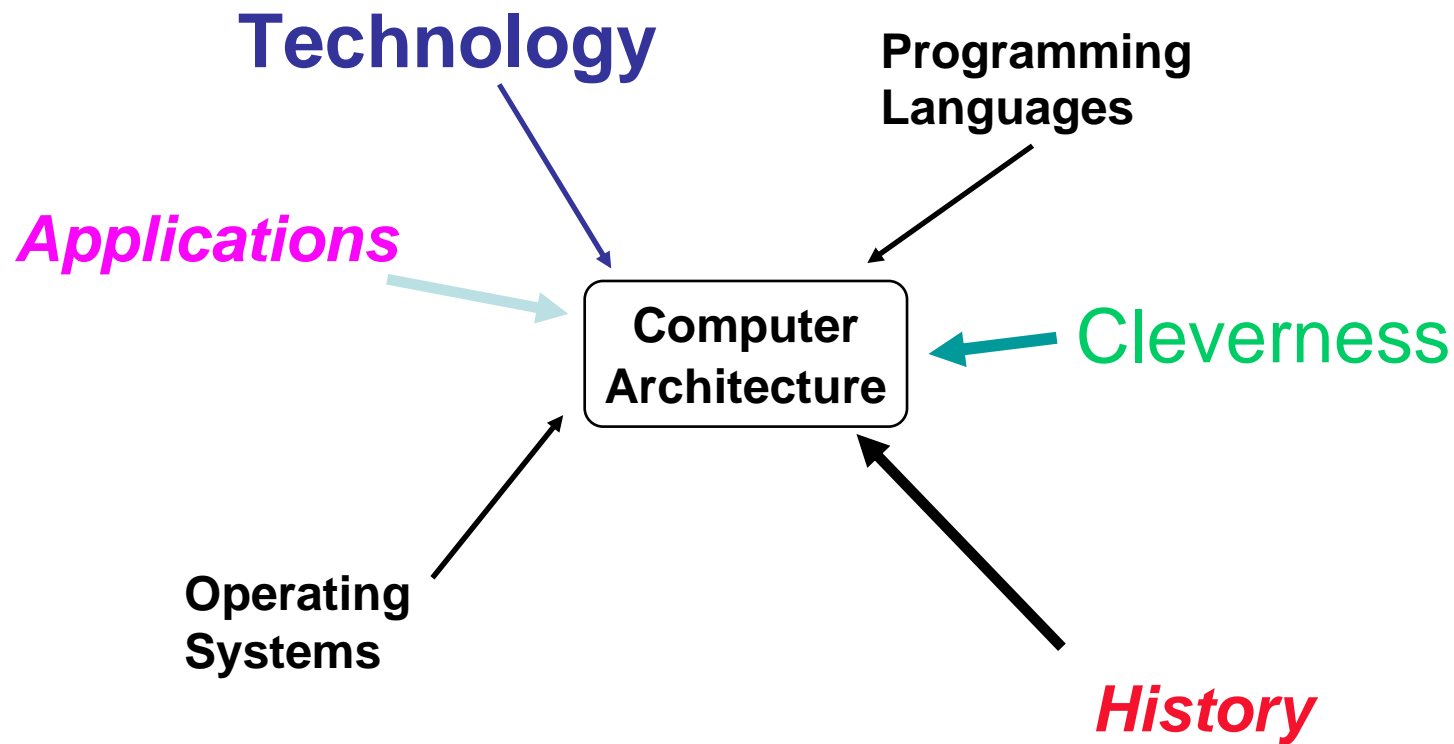


„von Neumannova“ architektura

Od r. 1946:



Síly působící na změny architektury

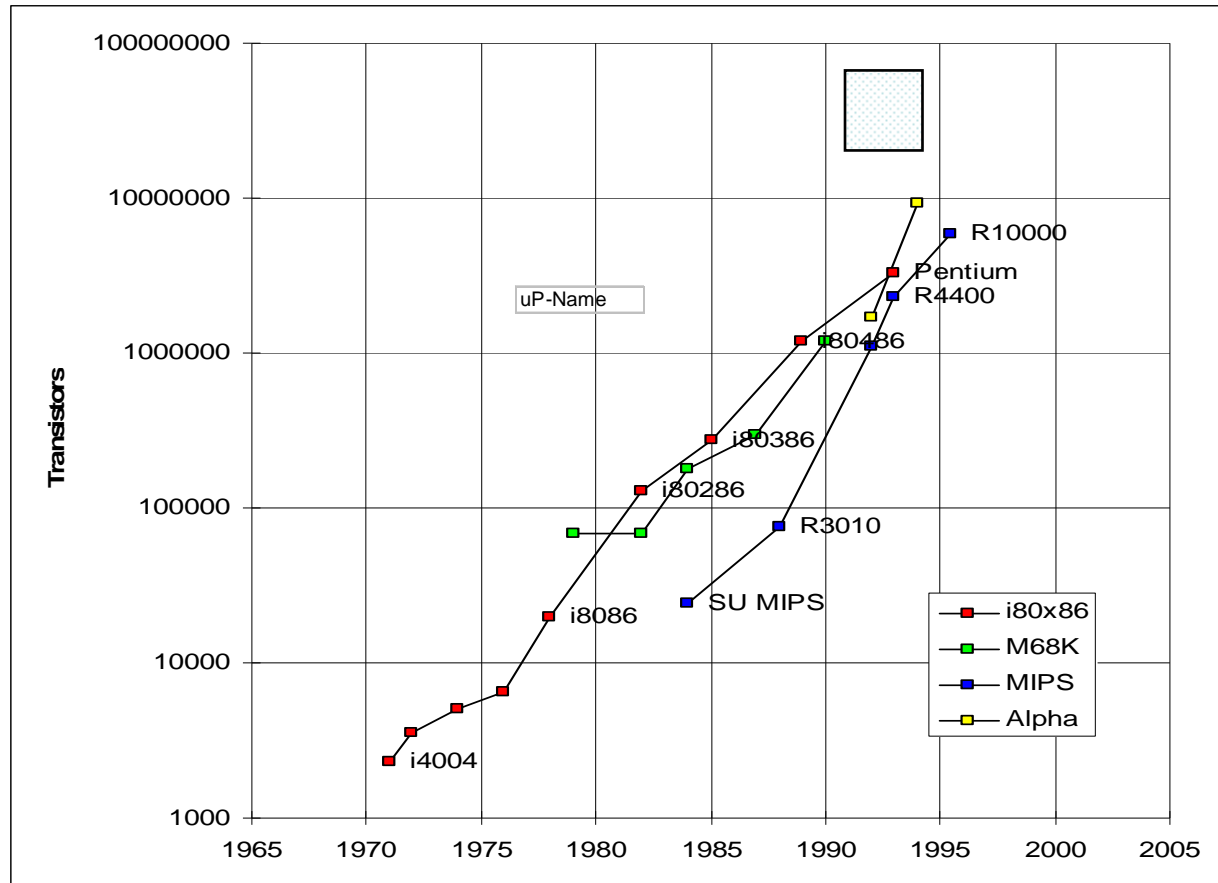


Technologie

DRAM chip capacity

DRAM	
<u>Year</u>	<u>Size</u>
1980	64 Kb
1983	256 Kb
1986	1 Mb
1989	4 Mb
1992	16 Mb
1996	64 Mb
1999	256 Mb
2002	1 Gb

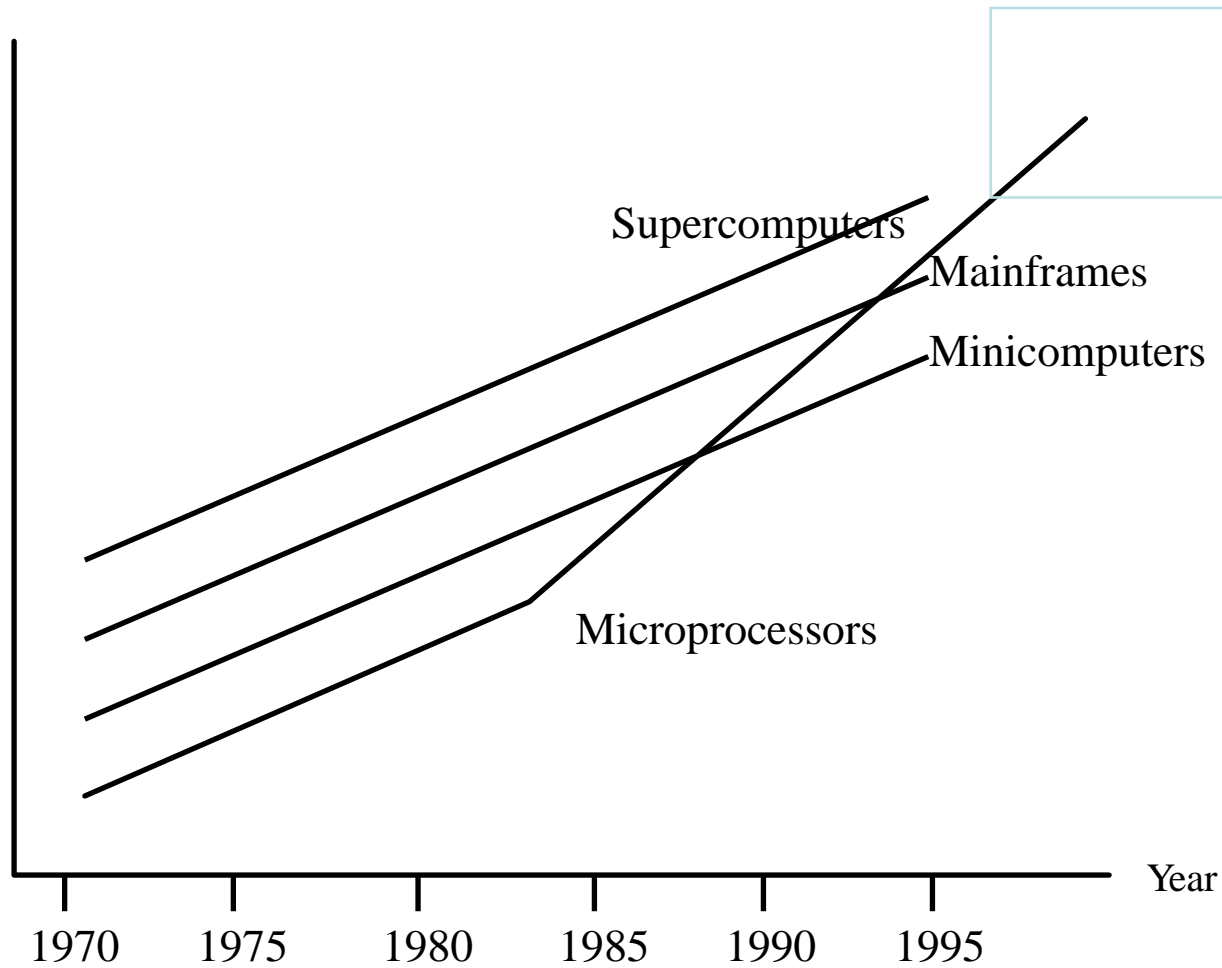
Microprocessor Logic Density



Technologie – dramatický rozvoj, Mooreuv zákon – zdvojnásobení hustoty integrace každých 18 měsíců

- Procesory
 - Logická kapacita: o 30% za rok
 - Hodinová frekvence: o 20% za rok
- Hlavní paměť
 - DRAM kapacita: o 60% za rok (4x každé 3 roky)
 - Rychlost – přístupová doba: o 10% za rok
 - Cena za bit: snížení o 25% za rok
- Disk
 - Kapacita: o 60% za rok
 - Využití dat: o 100% každých 9 měsíců
- Počítačové sítě –
 - šířka pásma o 100% za rok!

Typy počítačů



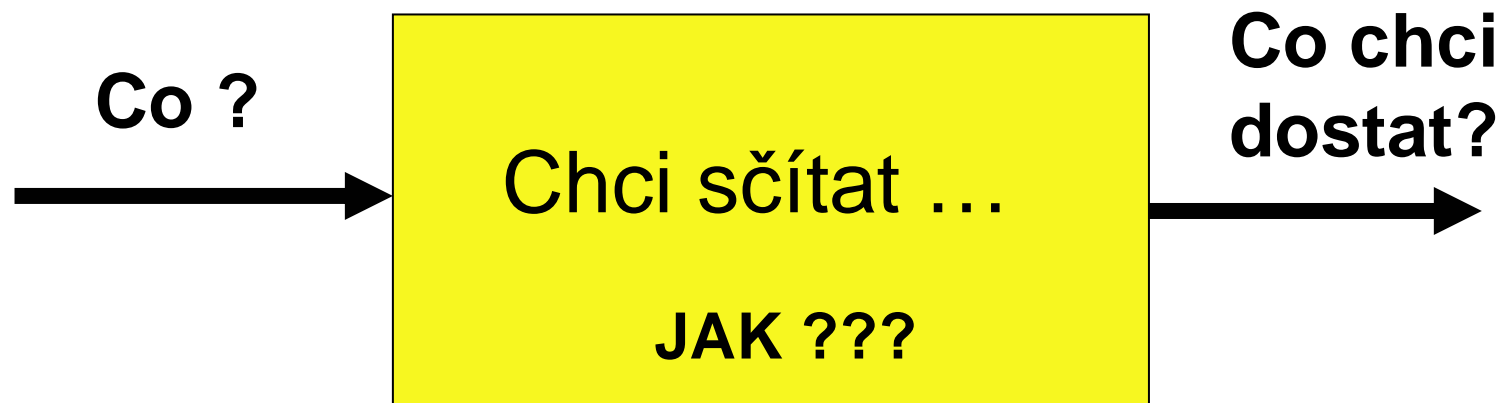
Problémy k řešení při návrhu

- Specifikace – co chceme realizovat
- Hlavně aby to fungovalo
- Optimalizace z různých hledisek
 - Velikost
 - Rychlost
 - Příkon
 - Spolehlivost
 - Cena včetně návrhových prostředků
 - Rychlost návrhu
- Testovatelnost – DFT = design for testability

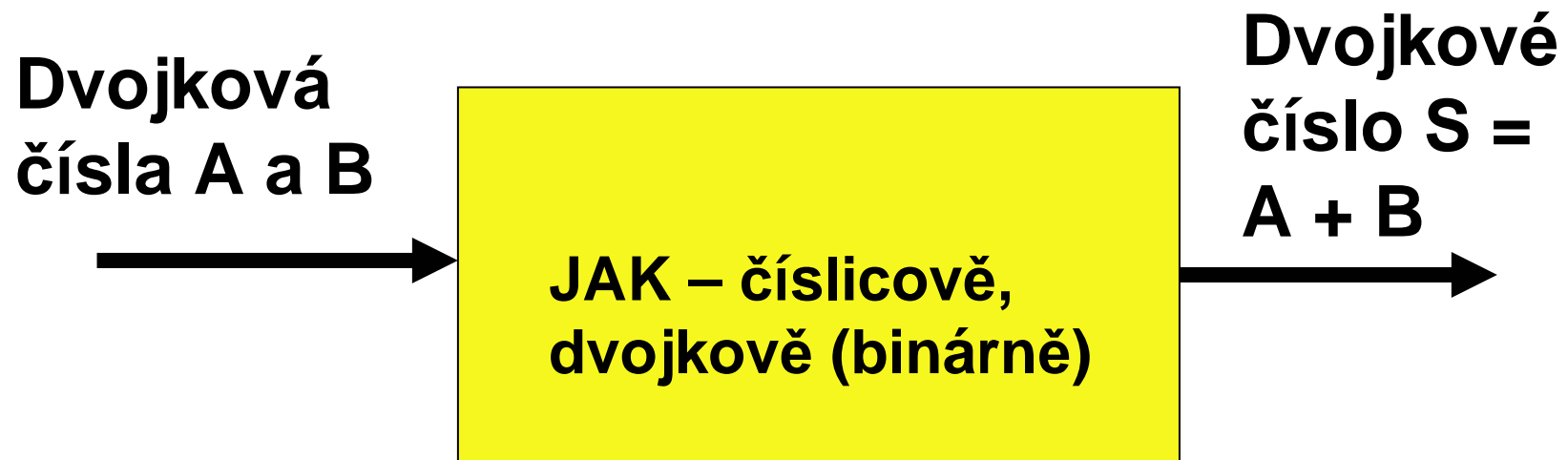
Jednotlivé fáze návrhového procesu pro číslicové systémy

- Specifikace
 - Určení vstupů a výstupů
 - Pravdivostní tabulky
 - Booleovské rovnice
 - Návrh realizace na úrovni hradel
 - Simulace na úrovni hradel
 - Realizace číslicového obvodu
 - Ověření návrhu
- } Příklad 1, sl. 14 - 17
- } Příklad 1, sl. 18
- Příklad 1, sl. 19-22

Příklad 1



Příklad 1



Dvojková čísla budou nejprve 1 bitová, tzn.:

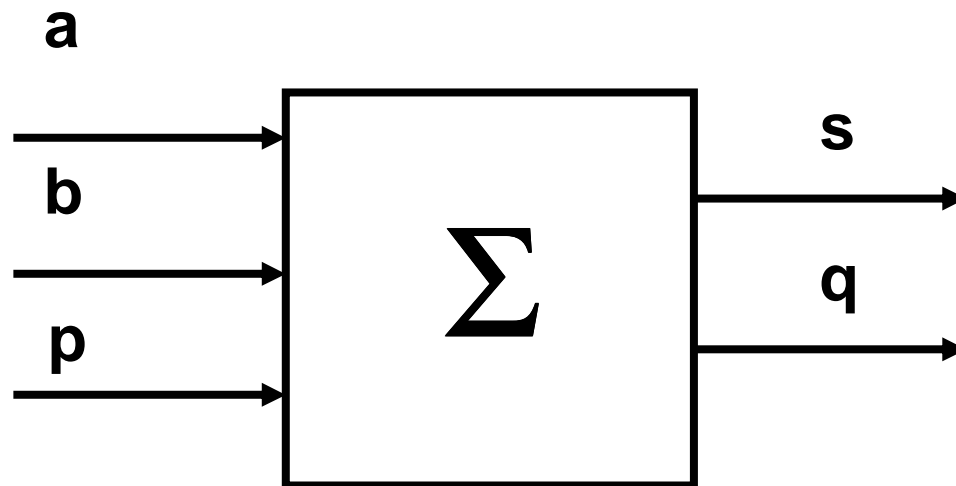
$0+0=0$, $0+1=1$, $1+0=1$, ale pozor $1+1=10$!!! Přenos !!!

Příklad 1



A co přenos ???

Příklad 1



Příklad 1

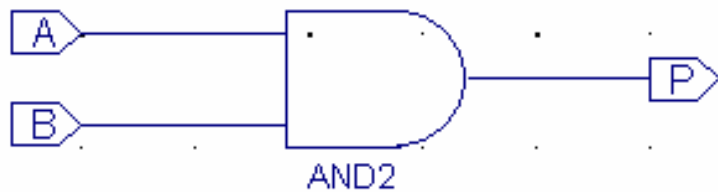
a	b	p	q	s
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

$$s = \bar{\bar{a}}\bar{b}p + \bar{a}\bar{b}\bar{p} + \bar{a}\bar{b}p + abp$$

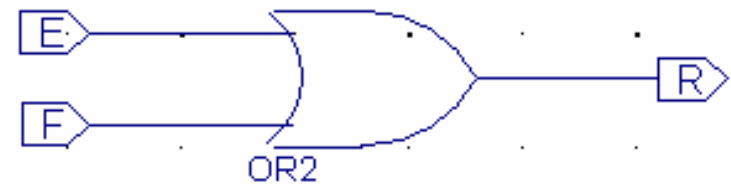
$$q = \bar{a}bp + \bar{a}b\bar{p} + a\bar{b}\bar{p} + abp$$

Úpravy výrazů na tabuli:

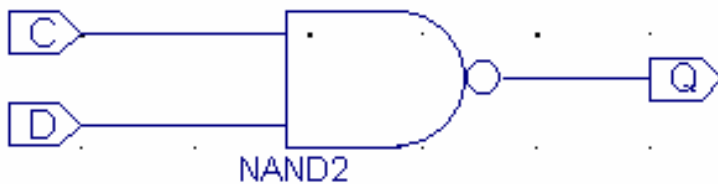
Realizace ???



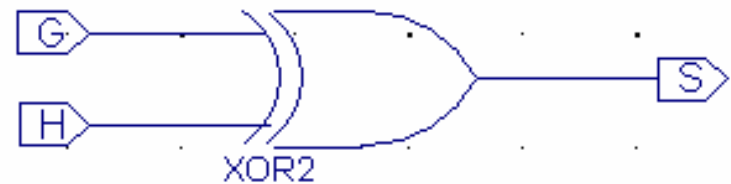
$$A \cdot B = P \dots \text{and}$$



$$E + F = R \dots \text{or, V}$$



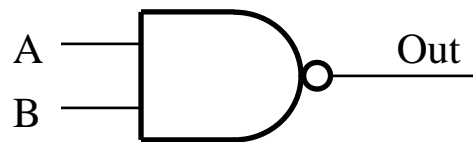
$$\overline{C \cdot D} = P$$



$$G \text{ xor } H = S$$

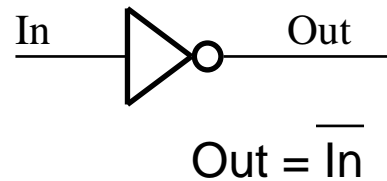
Funkce hradel, Booleova algebra

NAND Gate



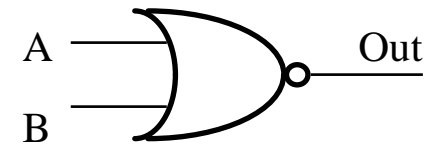
A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Invertor



In	Out
0	1
1	0

NOR Gate



A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

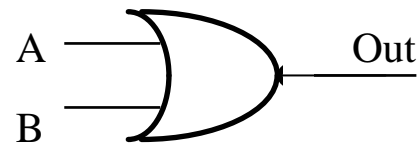
Funkce hradel, Booleova algebra

XOR Gate



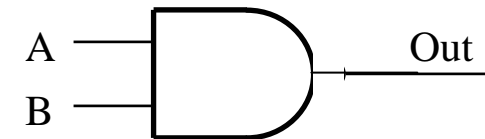
G	H	S
0	0	0
0	1	1
1	0	1
1	1	0

OR Gate



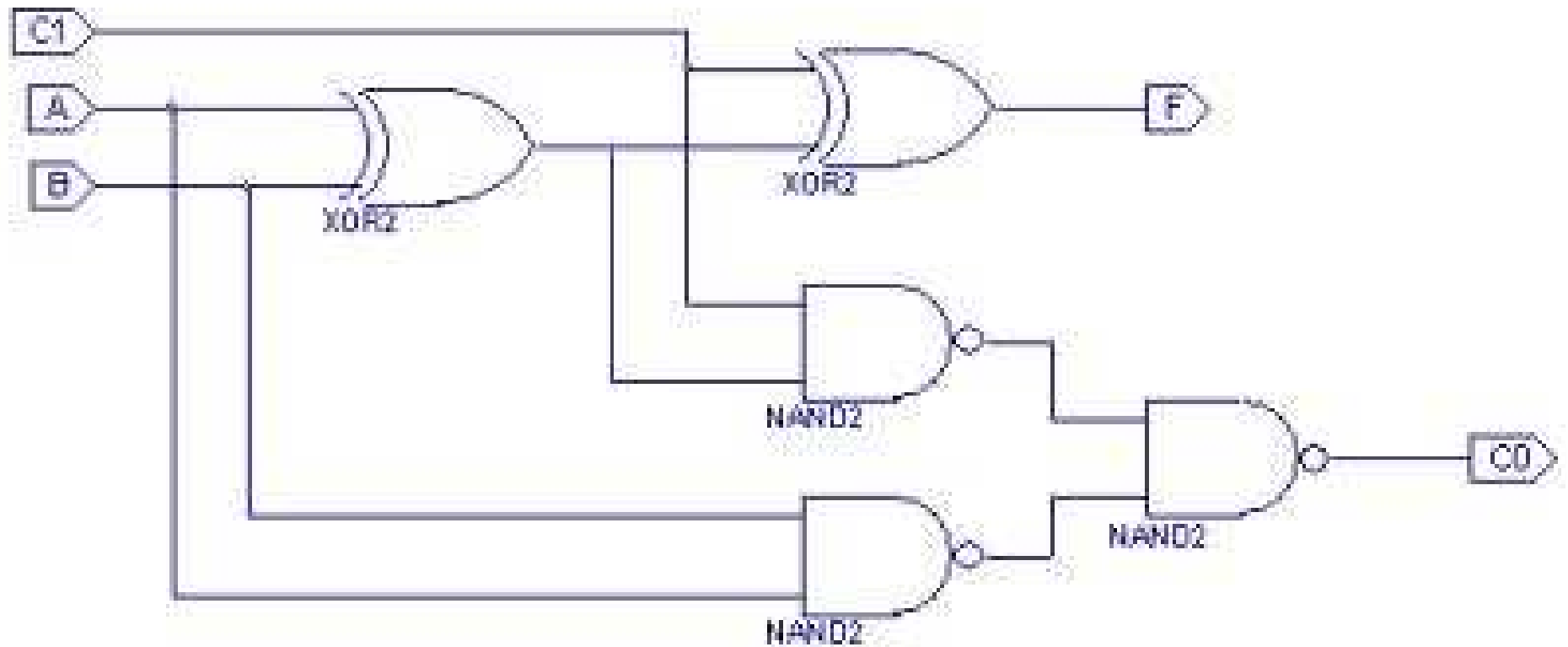
A	B	Out
0	0	0
0	1	1
1	0	1
1	1	1

AND Gate



A	B	Out
0	0	0
0	1	0
1	0	0
1	1	1

Sčítačka



Implementační báze

<http://.....service...X36LOB...>

Programovatelné obvody

- Specifikace
- Určení vstupů a výstupů
- Pravdivostní tabulky

- Booleovské rovnice
- Návrh realizace na úrovni hradel
- Simulace na úrovni hradel
- Realizace číslicového obvodu
- Ověření návrhu

→
automatizováno

Kombinační x sekvenční obvody

- Kombinační – výstup je dán kombinací vstupů, nezáleží na čase
- Sekvenční – výstup závisí na posloupnosti (sekvenci) hodnot na vstupech, realizuje se tzv. zpětnou vazbou
- Vše lze matematicky popsat
 - Logická funkce
 - Konečný automat - FSM