

## Logické obvody 6

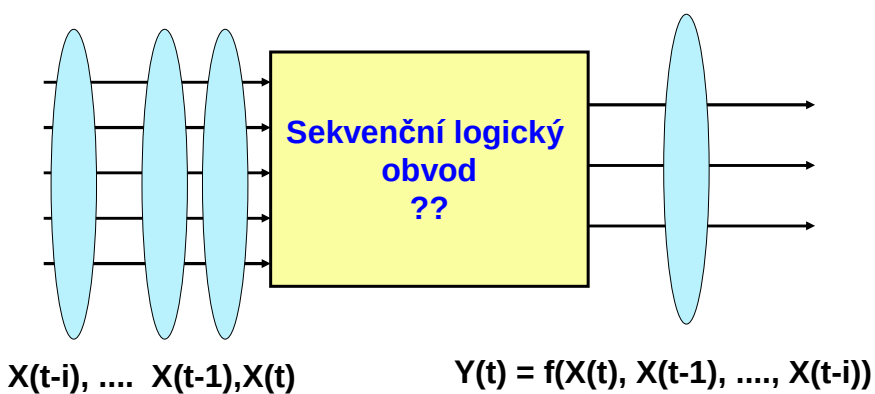
Sekvenční obvody  
Definice  
Postup návrhu  
Realizace

2007

Logické obvody - FSM

1

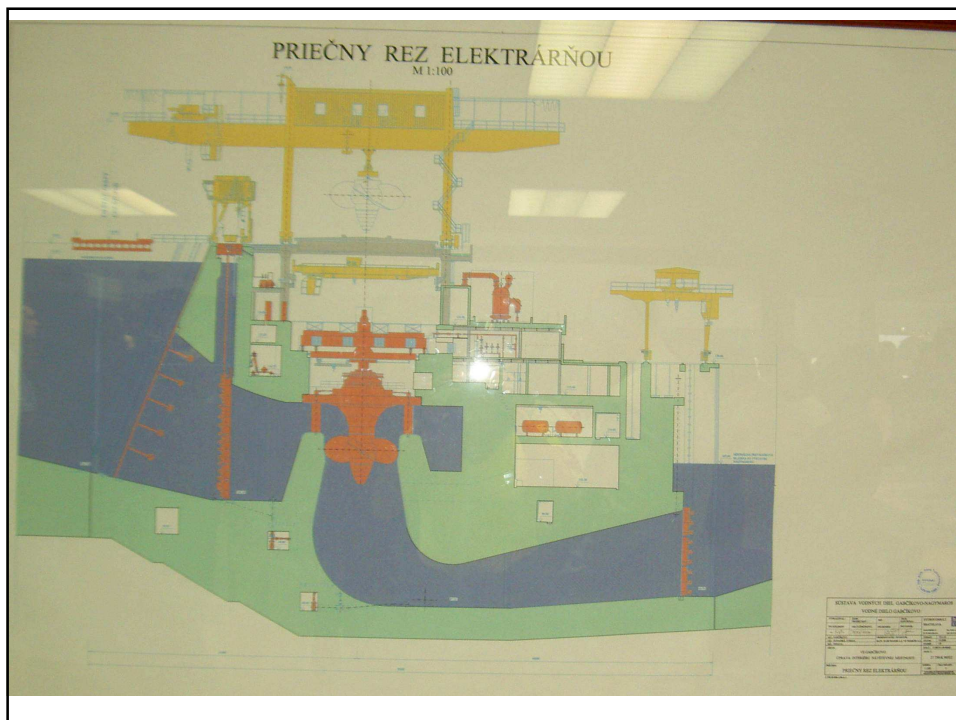
## Sekvenční chování



2007

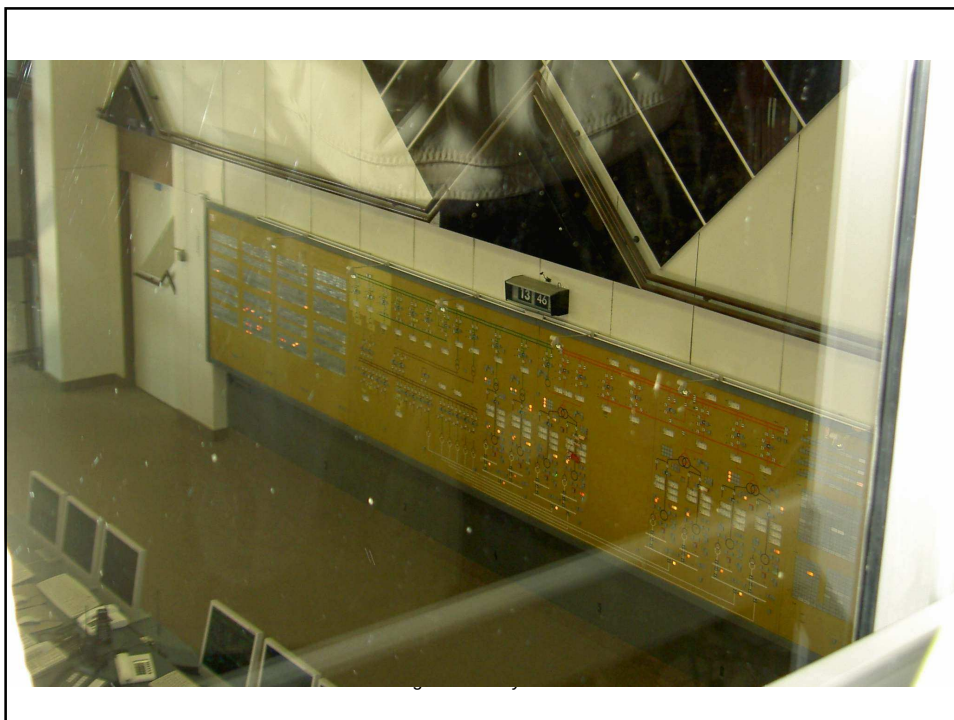
Logické obvody - FSM

2



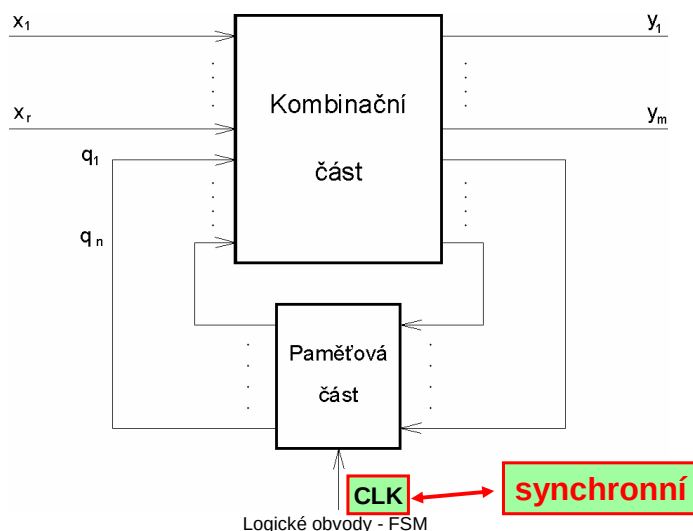








## Obecný (Huffmannův) model sekvenčního obvodu



2007

11

## Sekvenční logický obvod – konečný automat - FSM

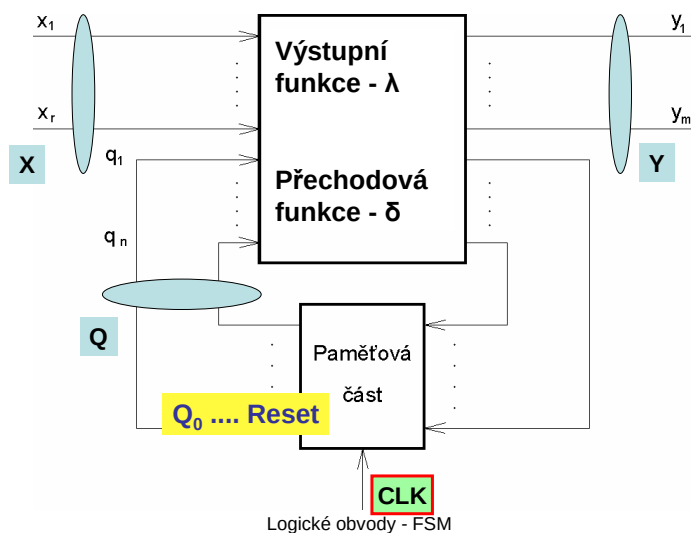
- X ....** množina možných kombinací hodnot vstup. proměnných KA; př: 3 vstup. prom.  $\Rightarrow$  X obs.  $2^3 = 8$  kombinací
- Y ....** množina možných kombinací hodnot výstupních proměnných KA
- Q ....** množina možných kombinací hodnot vnitřních proměnných KA ( množina stavů )
- Q<sub>0</sub> ....** počáteční stav ( kombinace hodnot vnitřních proměnných KA v počáteč. stavu )
- δ ....** stavově přechodová funkce :  
 $\delta : X \times Q \rightarrow Q$  ....definuje příští vnitřní stav KA
- λ ....** výstupní funkce :  
 λ: a)  $X \times Q \rightarrow Y$  .... typ Mealy  
 b)  $Q \rightarrow Y$  .... typ Moore

2007

Logické obvody - FSM

12

## Obecný (Huffmannův) model sekvenčního obvodu

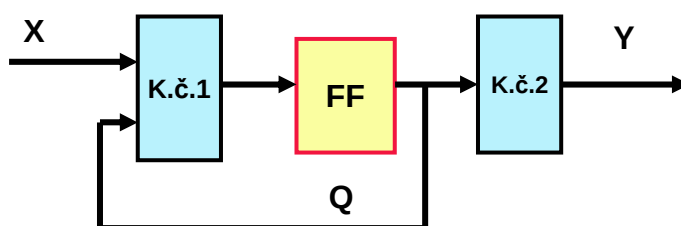


2007

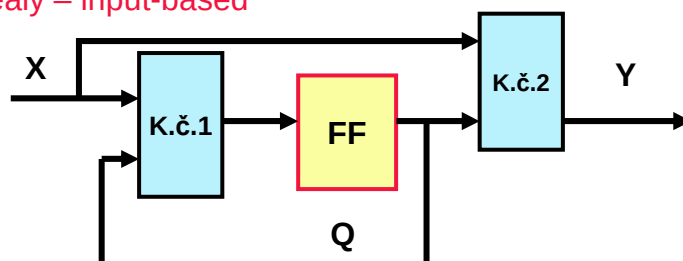
Logické obvody - FSM

13

### Moore – state-based



### Mealy – input-based



2007

Logické obvody - FSM

14

## Postup návrhu sekvenčního obvodu

1. Slovní popis
2. Graf přechodů
3. Tabulky přechodů a výstupů
4. Zakódování vstupů, výstupů a vnitřních stavů
5. (Zakódované tabulky přechodů a výstupů)
6. Minimalizace výrazů pro budící vstupy vybraného typu klopných obvodů (mapy)
7. Minimalizace výrazů pro výstupní funkce
8. Realizace z (předepsaného typu) hradel
9. Výpočet hodinové frekvence

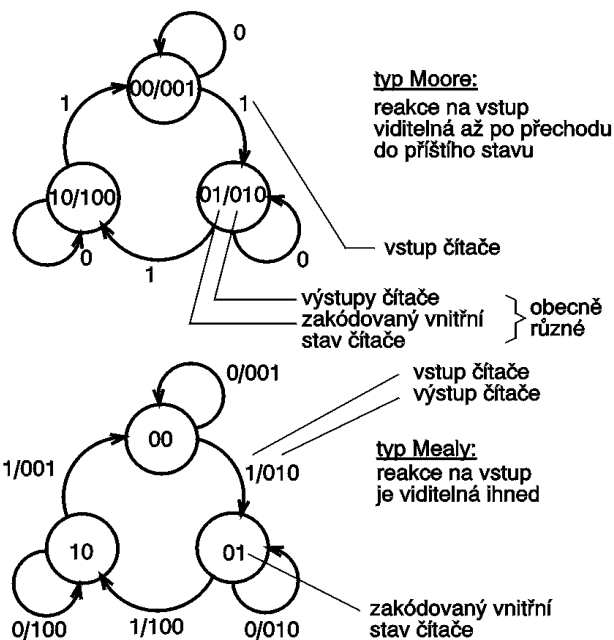
2007

Logické obvody - FSM

15

Čítač M3 –  
modulo 3

**Zde:**  
výstupy v kódu  
1zN,  
vnitřní stavy  
v kódu  
binárním



2007

Logické obvody - FSM

16



## Příklady

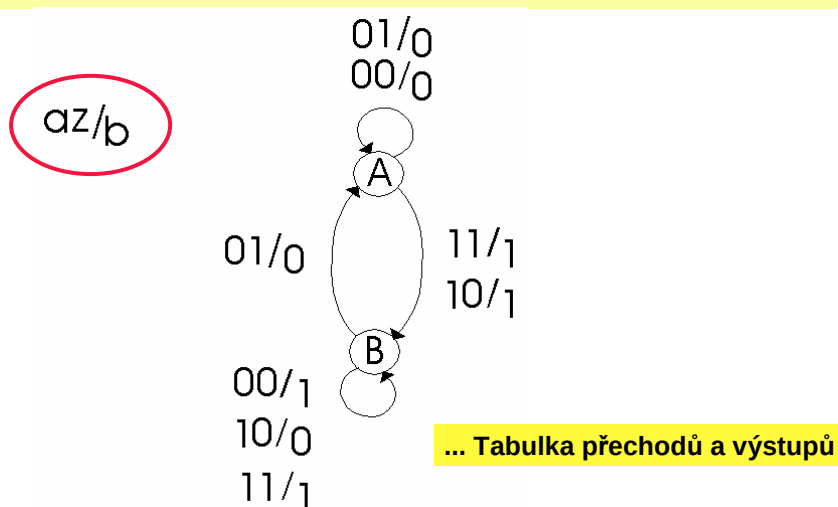
- Navrhněte SSO se dvěma vstupy **a**, **z** a jedním výstupem **b**, který bude převádět sériově vstupující binární číslo A v doplňkovém kódu na číslo B opačné k A. A vstupuje nejnižším řádem napřed, z indikuje začátek čísla A. (jestliže je  $z=1$ , na vstupu je nejnižší řád A).
- Poznámka: automat není iniciální

2007

Logické obvody - FSM

17

## Graf přechodů

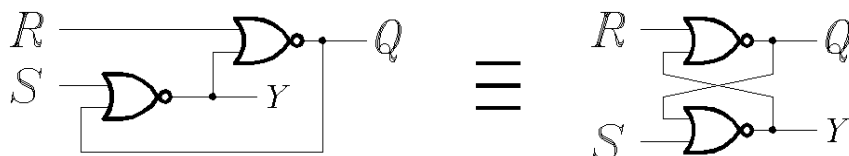


2007

Logické obvody - FSM

18

## Klopné obvody - asynchronní



Klasické zapojení asynchronního R-S klopného obvodu

| A | B | NOR |
|---|---|-----|
| 0 | 0 | 1   |
| 0 | 1 | 0   |
| 1 | 0 | 0   |
| 1 | 1 | 0   |

| RS  | Q | Y |
|-----|---|---|
| 1 1 | 0 | 0 |
| 1 0 | 0 | 1 |
| 0 1 | 1 | 0 |
| 0 0 | ? | ? |

!!!  
- závisí na předchozím stavu

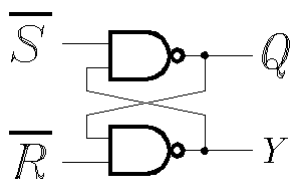
2007

Logické obvody - FSM

19

## Klopné obvody - asynchronní

„Podobné“ chování má obvod složený z hradel NAND:



| A | B | NAND |
|---|---|------|
| 0 | 0 | 1    |
| 0 | 1 | 1    |
| 1 | 0 | 1    |
| 1 | 1 | 0    |

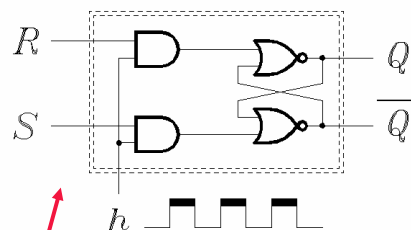
Jde o asynchronní R-S klopný obvod s inverzními vstupy, pamatuje při vstupech 11 a při kombinaci 00 závisí na předchozím stavu, 0 na S nastavuje Q do 1.

2007

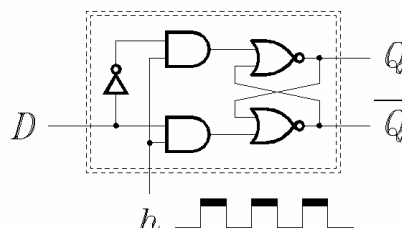
Logické obvody - FSM

20

## Klopné obvody - úrovňové



Výhodnější – použití 4 NAND

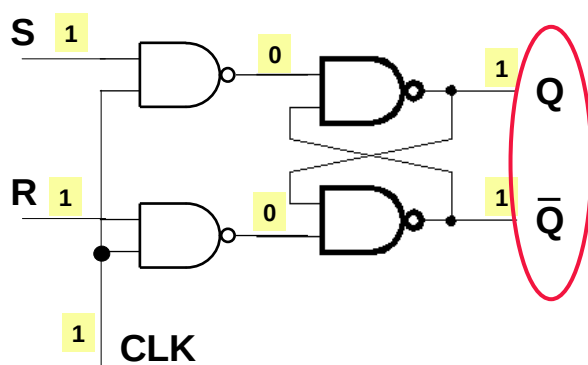


2007

Logické obvody - FSM

21

## „Zakázaný stav“.....

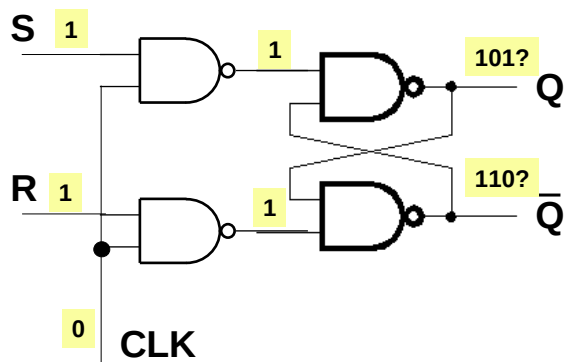


2007

Logické obvody - FSM

22

## „Zakázaný stav“.....

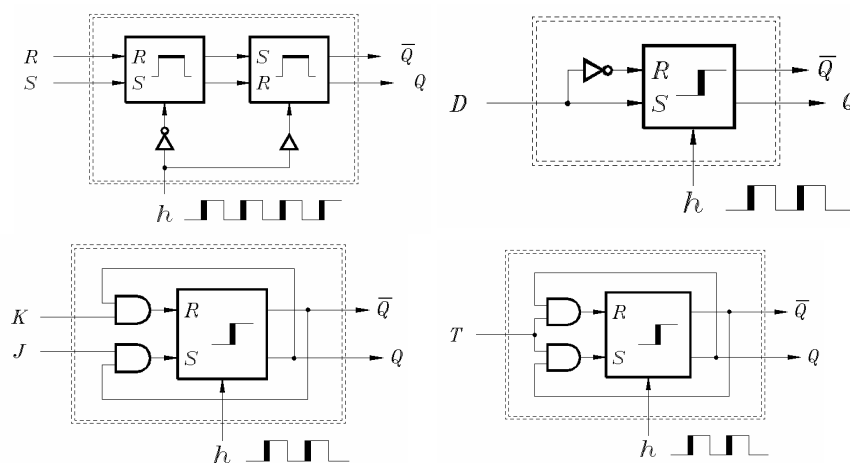


2007

Logické obvody - FSM

23

## Klopné obvody – hranové (Master –Slave)



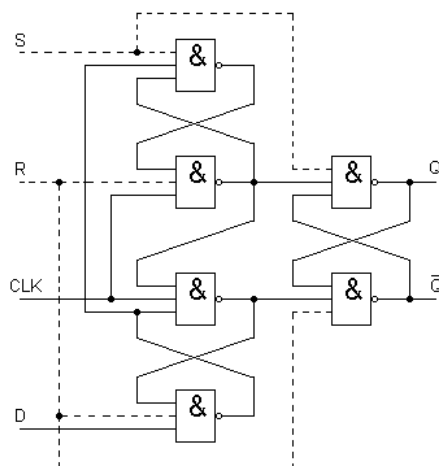
2007

Logické obvody - FSM

24



## Klopný obvod D – hranový, reagující na náběžnou hranu



2007

Logické obvody - FSM

25

## Tabulky budících funkcí klopných obvodů (excitační tabulky)

SR

The diagram shows an SR flip-flop with two data inputs, S and R, and a clock input, Clk. The outputs are Q and Q'. The S input is connected to the top input, R to the bottom input, and Clk to the clock triangle. The Q output is connected to the top output, and Q' to the bottom output.

| S | R | $Q(next)$ |
|---|---|-----------|
| 0 | 0 | Q         |
| 0 | 1 | 0         |
| 1 | 0 | 1         |
| 1 | 1 | NA        |

$$Q(next) = S + R'Q$$

$$SR = 0$$

| Q | $Q(next)$ | S | R |
|---|-----------|---|---|
| 0 | 0         | 0 | X |
| 0 | 1         | 1 | 0 |
| 1 | 0         | 0 | 1 |
| 1 | 1         | X | 0 |

JK

The diagram shows a JK flip-flop with two data inputs, J and K, and a clock input, Clk. The outputs are Q and Q'. The J input is connected to the top input, K to the bottom input, and Clk to the clock triangle. The Q output is connected to the top output, and Q' to the bottom output.

| J | K | $Q(next)$ |
|---|---|-----------|
| 0 | 0 | Q         |
| 0 | 1 | 0         |
| 1 | 0 | 1         |
| 1 | 1 | $Q'$      |

$$Q(next) = JQ' + K'Q$$

| Q | $Q(next)$ | J | K |
|---|-----------|---|---|
| 0 | 0         | 0 | X |
| 0 | 1         | 1 | X |
| 1 | 0         | X | 1 |
| 1 | 1         | X | 0 |

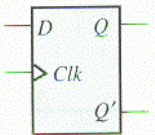
2007

Logické obvody - FSM

26

## ... tabulky budících funkcí klopných obvodů (excitační tabulky)

**D**



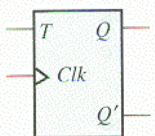
| D | Q(next) |
|---|---------|
| 0 | 0       |
| 1 | 1       |

$$Q(next) = D$$

| Q | Q(next) | D |
|---|---------|---|
| 0 | 0       | 0 |
| 0 | 1       | 1 |
| 1 | 0       | 0 |
| 1 | 1       | 1 |

**T**



| T | Q(next) |
|---|---------|
| 0 | Q       |
| 1 | Q'      |

$$Q(next) = TQ' + T'Q$$

| Q | Q(next) | T |
|---|---------|---|
| 0 | 0       | 0 |
| 0 | 1       | 1 |
| 1 | 0       | 1 |
| 1 | 1       | 0 |

2007 Logické obvody - FSM 27

## Zhuštěná excitační tabulka

| Q (present) | Q (next) | S | R | J | K | T | D |
|-------------|----------|---|---|---|---|---|---|
| 0           | → 0      | 0 | X | 0 | X | 0 | 0 |
| 0           | → 1      | 1 | 0 | 1 | X | 1 | 1 |
| 1           | → 0      | 0 | 1 | X | 1 | 1 | 0 |
| 1           | → 1      | X | 0 | X | 0 | 0 | 1 |